

[16016]

極微小デバイスへの放射線照射損傷機構の解明 Elucidation of radiation damage mechanisms for micro devices

高倉健一郎 ^{#,A)}, 角田功 ^{A)}, 米岡将士 ^{A)},
Kenichiro Takakura ^{#,A)}, Isao Tsunoda ^{A)}, Masashi Yoneoka ^{A)}
^{A)} National Institute of Technology, Kumamoto College

Abstract

Anomalous drain current changes by 2 MeV electron irradiation have been observed for the parameters of the input characteristics of SOI nFETs. The threshold voltage shifts correspond to trapped charge at the buried gate oxide and oxide/semiconductor interface. The increase in gm is ascribed to positive charge accumulation in the buried oxide layer, which turns on the parasitic back channel conduction.

Keyword: MOSFET, electron irradiation, TID, SOI

1. はじめに

1.1 研究背景

技術革新による CMOS (Complementary Metal Oxide Semiconductor) 素子の縮小化は、同時に Total Ionising Dose (TID)効果など、素子の放射線耐性を向上させるため、民生 ULSI 機器や素子が原子炉や高エネルギー粒子加速器、人工衛星など、さまざまな放射線環境下で広く利用され始めている^[1-3]。集積化の進んだ素子の、放射線環境化におけるこれら素子の耐性を評価し、有用性を示すことは、更なる市場拡大につながるため、重要である。

一方、現在の集積回路は電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor : MOSFET)で構成されており、主に Si 基板を使用した Si-MOSFET によるものが主流となっている。しかし、集積回路の進歩を支えてきた MOSFET の微細化技術による高性能化は、ゲート長(L)短縮に伴う短チャネル効果により物理的限界を迎えつつある。そのため、微細化技術以外の方法をとる必要があり、新規構造やチャネル材料の改革の改革が求められ、線幅 22-nm および以降の ULSI では、これまで以上に多くの構造や材料が登用されている。SOI FinFET は、基板として Si 基板と表面 Si との間に埋め込み酸化膜 (BOX)層を挿入した SOI 基板を使用し^[4]、ゲート部はトライゲート(Tri-gate)構造をなしている。これにより S/D 間のパンチスルー耐性が向上し、さらに小さな L までオフリーク電流を抑制できるため、微細化の限界を打破するデバイスとして期待されている。また、SOI 構造と FinFET 構造を組み合わせることで、チャネルがアンドープ Si を利用することができるようになり、短チャネル効果を抑制することが可能となっている^[5,6]。しかしこの構造は、放射線照射による BOX 層または BOX/Si 界面に形成された欠陥による TID 損傷が素子動作に影響を及ぼすことが懸念される^[7]。

上記のような素子微細化に伴って導入された素子製作技術や材料に対する放射線照射損傷についての知見は非常に少なく、検証を進めていく必要がある。

そこで本課題では、極微小半導体素子に対する放射線照射損傷を評価することで、損傷機構を解明し、放射線耐性の高い素子開発に還元することを目的として研究を進める。

1.2 実験方法

素子は、共同で耐放射線素子開発を進めている interuniversity microelectronics center (imec)にて製作した^[7]。ゲート電極には厚さ 100 nm のポリシリコンおよび ALD 法で堆積した厚さ 5 nm の TiN で構成した。酸化膜とポリシリコンにはさまれた TiN は、それぞれの仕事関数差による閾値電圧変動を調整するために挿入した。ゲート酸化膜厚および埋め込み酸化膜厚は、それぞれ 5 nm および 10 nm とした。

素子劣化は、放射線照射前後の電気特性の比較により評価した。高崎量子応用研究所、電子加速器を利用し、2 MeV 電子線を室温下で照射し、素子への通電は行っていない。電子線の照射量は 1×10^{14} から 1×10^{16} e/cm² とした。素子劣化は、放射線照射前後の電気特性の比較により評価した。素子の入力特性は、Agilent 4156C 半導体パラメータアナライザおよび MJC ウェーハプローバを利用して室温にて評価した。

2. 結果と考察

2.1 電子線照射による入力特性の変化

2 MeV 電子線照射前後の SOI nFET の入力特性を Fig. 1 に示す。ドレイン電圧 V_D およびバックゲート電圧 V_{BG} は、それぞれ 0.2 V および 0 V とした。電子線照射量が低い場合、ドレイン電流 I_D は電子線照射により増加した。これに対して、電子線照射量が高く 1×10^{16} e/cm² 以上では I_D は減少した。通常、ドレイン電流は、照射によるチャネルコンダクタンス減少に伴って単調に減少する。入力特性のサブスレッショールド領域における傾斜 Swing (S) を Fig. 2 に示す。S は、照射量増加に伴い単調増加していることがわかる。S の増加は Si/SiO₂ 界面準位が増加していることを示唆しており、照射により欠陥が導入されていることがわかる。しかし、この事実だけでは I_D の変化を説明することができない。

[16016]

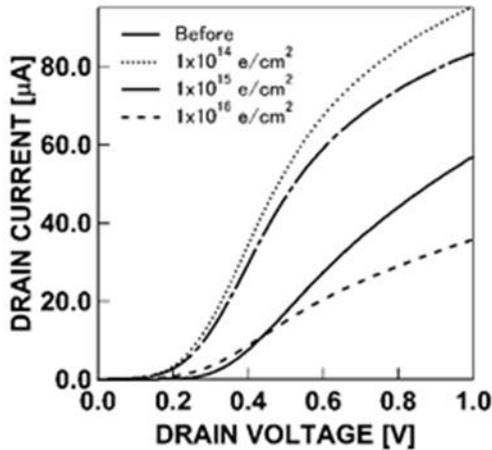


Fig. 1: Input characteristics of SOI nFETs before and after 2 MeV electron irradiation.

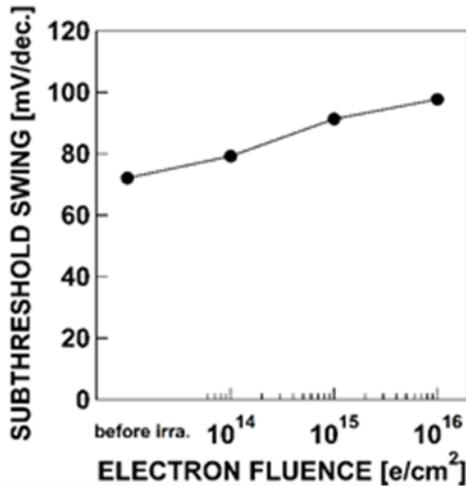


Fig. 2: Subthreshold swing of SOI nFETs before and after 2 MeV electron irradiation.

2.2 閾値電圧および伝達コンダクタンスの変化

SOI nFET への放射線照射による I_D の変化を理解するために、閾値電圧 V_T シフトおよび伝達コンダクタンス g_m を調査した。

一般に V_T シフト ΔV_T の原因は、Si/SiO₂ における電荷蓄積であると考えられている。蓄積する電荷は主に、SiO₂ 内部の正電荷と Si/SiO₂ 界面準位に捕獲される負電荷である。SiO₂ を電子線が通過する際の電離作用により発生した正負電荷のうち、電子(負電荷)はゲート電極を介して放出されるが、正電荷は Si/SiO₂ 界面に偏ることで正電荷が蓄積される。また、Si/SiO₂ 界面では、電子線照射により欠陥準位が多数発生し、それらに電子が捕獲されることで負電荷が蓄積されることになる。また、これら二つの蓄積電荷が ΔV_T に及ぼす影響を分離する方法が McWhorter らによって提案されている^[8]。

照射による ΔV_T の変化を酸化膜中正電荷 ΔV_{ot} および Si/SiO₂ 界面の負電荷 ΔV_{it} に分離した結果を Fig. 3 に示す。 ΔV_T は $1 \times 10^{14} \text{ e/cm}^2$ 照射でいったん増加する

が、 $1 \times 10^{15} \text{ e/cm}^2$ 以降は減少している。閾値電圧の負方向シフトは酸化膜への正電荷蓄積によるものであり、 ΔV_{ot} は照射により負方向に単調増加している。これに対し、Si/SiO₂ 界面準位への負電荷蓄積は、閾値を正方向にシフトさせ、 ΔV_{it} が照射により正方向に単調増加している。照射による ΔV_{it} の単調増加の様子は、Fig. 2 の S の変化を説明することができる。以上のことを踏まえると、照射量が低い場合、酸化膜中正電荷の影響が支配的で、 V_T は負方向にシフトし、その後、照射量が増加すると Si/SiO₂ 界面の捕獲負電荷の増加が顕著となり、 V_T は正方向にシフトすると考えられる。

電子線照射による SOI nFET の g_m の変化を Fig. 4 に示す。電子線照射後は、Si/SiO₂ 界面準位に捕獲された負電荷が原因でクーロン散乱が増大し、 g_m は単調減少すると予測できる。しかし、今回は I_D の変化と同様に、照射量が低い場合 g_m は増加した。これは、BOX 層に蓄積された正電荷が原因で、Fin 構造のチャネルに寄生チャネルが形成され、実効的なチャネル幅が広がったと考えることで説明することができる。

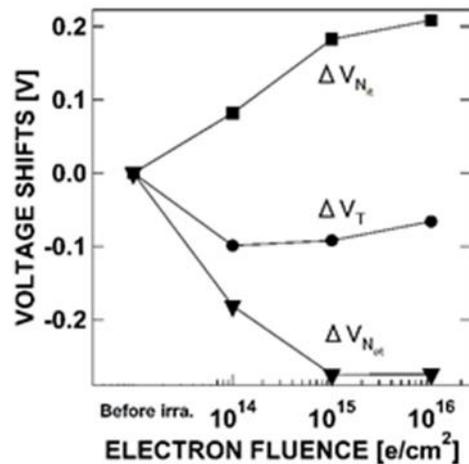


Fig. 3: Threshold voltages of SOI nFETs before and after 2 MeV electron irradiation.

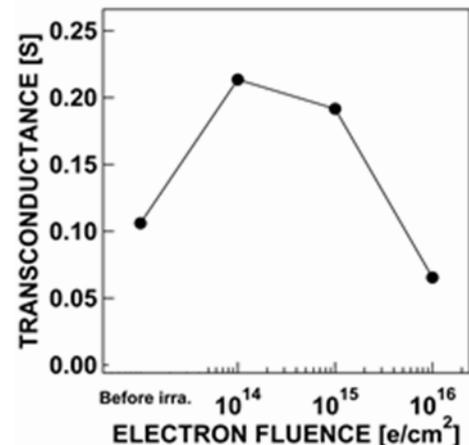


Fig. 4: Transconductance in the channel of the SOI nFETs.

[16016]

3. まとめ

微細半導体素子の 2 MeV 電子線照射による劣化機構解明を目的として、SOI nFET を対象に電気特性の評価および解析を行った。サブスレッショールド領域のドレイン電流の傾斜 **Swing** および閾値電圧シフトの原因は、酸化膜に捕獲された正電荷と Si/SiO₂ 界面準位に捕獲された負電荷の増加量の比により説明することができた。また、照射後のドレイン電流がいったん増加後に減少する振る舞いが観測された。この原因は、照射により埋め込み酸化膜層に蓄積された正電荷により誘起された寄生チャネルにより、チャネルの実効幅が増加したことで説明することができた。

参考文献

- [1] P.R. Rao, X. Wang and A.J.P. Theuwissen, *Solid-State Electronics*, 52, 1407 (2008).
- [2] H.J. Barnaby, M. McLain and I.S. Esqueda, *Nucl. Instr. and Methods B*, 261, 1142 (2007).
- [3] H.L. Hughes and J.M. Benedetto, *IEEE Trans. Nucl. Sci.*, 50, [3] 500 (2003).
- [4] F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J.-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M.-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brevard, C. Tabone, P. Gaud, S. Barraud, T. Ernst, and S. Deleonibus, *IEDM Tech. Dig.*, 3.2.1 (2010).
- [5] T. Mizumo, J. Okumura, and A. Toriumi, *IEEE Trans. Electron Devices*, 41, 2216 (1994).
- [6] C. Lee, T. Arifin, K. Shimizu, and T. Hiramoto, *Jpn. J. Appl. Phys.*, 49, 04DC01-1, (2010).
- [7] E. Simoen, M. Gaillardin, P. Paillet, R.A. Reed, R.D. Schrimpf, M.L. Alles, F. El-Mamouni, D.M. Fleetwood, A. Griffoni, and C. Claeys, *IEEE Trans. Nucl. Sci.* 60, No. 3, pp. 1970-1991 (2013).
- [8] P.J. McWhorter, P.S. Winokur, *Appl. Phys. Lett.*, 48, No.2, pp.133-134, (1986).